(11) 尼亚亚并并介()?)

m公開特許公報 (A)

COPREBONER

特開平8-125066 (1)12KB #REK (1996) 5A17B

(\$1) lat Cl. *

互制设号 作内复星器号

FΙ

灰的表示复新

HOIL 23/12

13/11

A 6921-4E

HOIL 23/12

書堂歴末 永珠本 非求項のD.4 FD (全7度)

(21)出海委务

MM#6-284536

(72)比重台

平成6年(1994)10月26日

(71)出版人 000002897

大名本的制作或金丝

复数医矫信医师智比室时一丁章 1 第 1 号

(72) 兒男者 八木 岩

复宗兹斯德区市省此党和一个自 1 年 1 号

大日本印刷器式金兰内

(72)免税者 鼻田 证券

京次都新建区市省加州的一丁县141号

大日本印刷的女会社内

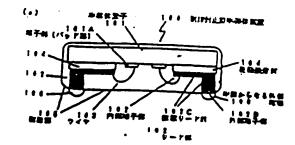
(70)代管人 杂草士 小百 炸员

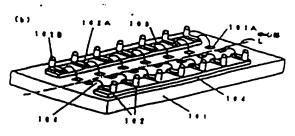
(54) 【見明の名は】推取対止型半点は其象とそれに思いられるリードフレーム。及び推取対止型半級は気管の製造方法

(87) (夏約)

【目的】 芝なる質問対止数率収益を収める条件化、水板能化が次められている中、単温体配温パッケージサイズにおけるテップの占有をモ上げ、単端体配置の小型化に対応させ、共同に収集のTSOP等の小型パッケージに翻載であった変なる多ピン化を実現した複数が止型単端体配置を提供する。

【彼此】 中華体景子の幾乎例の第に、早年体景子の報子の成分に、早年体景子の発生をは、早年保育を表現のは 学と電気的に対象である。 の程子のの変質である。 のののの変質である。 のためのの多質はリーはとも一体としたなどを発生を を選択した。 を選択した。 を選択した。 のためののの変質が多とも一体としてなどを に変われる。 のためののの変質が多としたなどである。 とこれがあるであり、 ののののではない。 のののではない。 ののではない。 にはない。 にはないない。 にはない。 にはない。





(はたけまらと思)

。 (按求集1) 生素化生子の粒子外の匠に 生品化生学 の電子と反気的に結構するための内を双子針と、半点は 菓子の菓子和の匠へ送交してた肌へと向くた民位其への 性成のための外部電子部と、飛記内部電子製と外盤電子 越とを連結する状況リード的とも一体としたリード型も 在保存。地球は実材展を介して、出着してなけており。 直つ、回路番飯等への天来のためり半年からなる方面会 様を利応は気のをリードの力制は子郎に延耳させ、少な 。 くとも約記中田からならの民宅径の一貫に年度配より外。18、外部総子製匠に中田からなられば高格を作動する工作。 銀に肩出させてほけていることを外たとても変好り止意 华祖在222.

【建水理2) - は水理」において、半温度点子の以子は 半温はま子の以子匠の一分の辺の以中心配算上にそって 配属されており、リードがはななのは子を成むように対 肉し肉は一対の辺にないかけられていることを気度とす 5世群对止数单据标页图。

【経球項3】 年世は至子のロチと写真的に立義でるた のの内部双子部と、か都区はと意及でるためのか似双子 部と、 航延内部電子部と外載電子部とも運転する推薦リー18 ード郎とを一体とし、35月以中がモ、頂皮リード型モ 介して、リードフレーム面から区交する一方向的に交出 をせ、対向し先は部周士で連結都を介しては見する一対 7内蘇雄子区を在京松けており、点つ、る外部電子部の 今朝で、 従択リード郎と並なし、一年として全年を保持 『各外轮部を設けていることを34年とするリードフレー

【雜水項4】 半碳体医子の菓子飲の節に、半端体食子 1萬子と考索的に基礎するための内部算子群と、年頃は 子の選子側の面へを交してかあへと向くか配回算への 18 統のための外包以下部と、紅花内部は子型と外部電子 とも基格するほぼリード部とモー作としたな色のリー 鮮とを、始縁性単れ母を介して、医療して及けてお - 星つ。医路蓋低年への天衣のための半田からなられ 竜艦を収記放散のちり一ドの外型双子部に連絡をせ、 なくとも森花年田からなるの名を経の一部は智慧部と 外部に高出させて及けている複数対止型平温を基度の 2万萬であって、少なくとも、(人)エッテング加工 で。単帯体象子の粒子と写真的にに無するための内容 予禁と、外部回答と推奨するための外部電子部と、R(1) 7部菓子部と外部は午的とも選挙する技术リード的と 一体とし、圧外部に子供も、存成リードをも介して、 - ドフレーム面から巨欠する一方向駅に貸出させ、オ - 先載部版土で運路館モ介しては終する一川の内閣県 『毛枝紅丘けており、息つ、それ日本子部の方気で、 !リード部と連結し、一年として2968月でもカカ 及けているリードフレームモル製する工程。 (B) (リードフレームの介製粒子書供でない面(倉墨)に :村を設け、打ちはき金型により、対所する内閣電子

けられた地景化とそのちはそ、リートフレームのけらり かれた武分が平岩は3字の第三数にくとようにして、兵 延度単位もだして、リートフレー 心文にぞに占は立てへ 万むする工党。 (C) リードフレームのおね民を含む不 星の配分を打ちばできなによりの飲料金でもごせ、 (D) 年齢に黒子の電子部と、切断されて、そのにま子 へ存むされた内閣は千畝の先は就ともワイヤボンディン グしたほに、形理によりが区域子似度のみもが区に収出 ラヴァタはを打止する工程。 (E) 広北方似にな出した ともなりことも中国とても非常民主要の名を 万压.

(見明のび縁な広報)

100011

【芭蕉上的树原分针】本民联位, 非进作业于七届七十名 智慧針正数の単点は象徴(ブラステックパッケージ)に 終し、時に、実は密度を向上させ、点つ、多ピン化に対 応できる半途の名誉とその公正方法に成てる。

100021

【艾莱の技術】 近年,年以此农富过,不具性化,小型化 住所の進歩と電子数量の素性軟化と見る思小化の傾向 (時度) から、LSIのASICに代表されるように、 まずます高点性化、高度抗化になってきている。これに だい。リードフレーム モ無いた対比型の半端はまなブラ ステックパッケージにおいても、その個名のトレンド M. SOJ (Small Outline)-Lead ed Package) PQFP (Quad Flat P.きゃ Vage) のような意思実は契のパッケージモ 模で、TSOP (Tin Small Outline Package) の研究による産型化モ王母としたパ ッケージの小型化へ、さらにはパッケージ内容の3水元 化によるチップな的効果肉上を目的としたLOC(Le ad On Chip) の鉄造へと進承してでた。しか し、御祭封止型単端作品産パッケージには、本具技化、 本種的化ととしに、更に一層の多ピン化、有効化、小型 化が求めらており、上記収集のパッケージにおいてもチ ップ外展部分のリードの引き回しがあるため、パッテー ジの小型化に維界が見えてきた。また。TSOP#の小 タパッケージにおいては、リードの引き回し、ピンピッ チからタピン化に対しても確認が見えてきた。 [00001

【見味が常改しようとする意思】上記のように、見なる 施設到止型半点非常度の高泉は化、戸間単化が求められ ており、 御庭針止空半線 体禁症パッケージの一層の多ど ン化、発型化、小型化が出められている。ま見味は、こ のような状況のもと、中級食品量パッケージサイズにお けるチップのさなまも上げ、辛湯は豆包の小型化にガル させ、田馬高板への文献高度も低減できる。即ち、田林 士を接続する運転部とは正規部に対応する位置になった。 単語水象区を投票しようとするものである。また、原料 基底への実施を成を向上させることができる無容別止型

に世史の下SOP町の小型パッケージに困難であった更 なる多ピン化を実装しようとするものである。 [0004]

(は越毛が灰するための手段) 本見紙の配理対止要求確 仏芸窟は、 年間は京子の双子側の面に、年間は京子の進 子とな気的に基準するための内質是子裏と、半過は妻子 の双子割の面へ正交して九郎へと同く允訂を持への推定 のための外別被子群と、前記内部電子群と外部電子群と を選ばする技球リード 似とを一体とした江泉のリード歌 つ。巨智基は有への演算のための本田からなる方式を包 を刷足な反のをリードの力を基子をに延縮させ、少なく とも氏記年田からなる方質を区の一部は保証数より方面 に貫出させて立けていることを共和とするものである。 南、上紀において、内部電子器と外部電子器とモータと した双数のリード部の配列を中華は急子の菓子似節上に 二次元的に配列し、力料电量机モキ田ボールにて形成す SCEELDBOA (Ball Crid Arra y) タイプの形容針比型半端は基準とすることしてき 8.

【0005】そして、上記において、平森体象子の電子 は辛福体は子の親子節の一対の辺の耳中心を禁上にそっ て配置されており、リード部は営業の幕子を決むように 対向し前記一対の辺に沿い立けられていることも共復と するものである。また、ま食味のリードフレームは、飲 韓針止収平級作品産用のリードフレームであって、平成 体裏子の電子と電気的に基盤するための内部電子群と、 外部国界とほぼするための外部を子思と、お記内閣は子 部と外部属子部とモ連はするは取り一ドロとモー体と し、試育整理子第七、接続リード部を介して、リードフ 30 レーム部から貧又丁ろ一方向飲に交出させ、対向し先輩 製剤士で連絡部を介して世紀する一対の内型位子部を及 献益けており、 且つ、 もか部株子部の外側で、往及リー ド部と運転し、一体として会体を保持する外の部を設け ていることを共産とするものである。内、上足リードフ レームにおいて、内部電子部と外部電子部とそれを重量 するほぼリード部とモー体とした最みを拡張リードフレ 一ム層に二次元的に紀刊するしておぼすることにより8 CA (Ball Crid Array) 9470ER 鮮止競手等作を産用のリードフレームとすることもでき (4) 8.

【0006】本党県の旅館別止収率署体収度の製造方性 は、卓容体素子の菓子餅の誰に、ヲ紹弁素子の菓子と覧 気的に発揚するための内部電子部と、中華は至子の電子 朝の宿へ復交してお思へと向くお話音はへの日辰のため の外部総子祭と、以記内部総子祭と外部総子祭とを基は する後戌リード部とモー你とした気息のリード部とモ、 絶難独者材度を介して、数なして立けており、立つ、様 第基度等への支生のための平田からなられませ至も忘え 複数のおり一ドのればは千年におなさせ、ルバノントの (*)

兄を色からなられまで色の一名は変ないようだ。これでは、 させて低けている前点対点数年後は来華の料え方はです って、少なくとも。(A)エッチング広工にて、年度は ま子のオチと名気的にははてるための内部電子 ほと、ち 郵店等と発現するための外配理子原と、 和足内部数子盤 とかれ位子訳とを選びてる方だりード記とを一体とし、 はお鮮森子郎を、日及り一ド比を介して、 リードフレー ム配からは文する一方向的に兵出させ、 万向 し元 菜材質 主て著具質を介しては戻する一月の内景原子 釘を水 長章 とで、絶縁は毎日雇モ介して、世界して立けており、且、10、17でおり、且つ、もれま放子型の外的で、作択リート部 と連ねし、一体として全身を成所する力や死を立りてい ろりードフレームモ庁集下る工法。(8) 京花 リードフ レームの外部は子供例でない面(新面)に 込む なぞれ け、打ち以を金型により、対向する内部ル子部同士を放 双する連段部と試験科察に対応する位置に 設けられた 絵 中央とも打ち吐き、リードフレームの打ちせかれた配分 が早進はま子の菓子献にくるようにして、 紅之び年 ゼモ 介して、リードフレーム全体も半端は黒子へ搭載する工 種。(C)リードフレームの丸の餌を含む不要の餌分を 打ち在を全型により切断対击する工程。(D) 半端 体液 子の菓子長と、切断されて、キ塩井黒子へな思された内 舒耀子型の先輩部とモワイヤボンディングした 後に、 網 雄により外部様子献伝のみそ外部に恋比させて全体を封 止する工程。(E) 教記がおに倉出したが意味子配置に 平田からなうり意葉をもかいてう工品。 とそさ ひことそ 特殊とするものである。

[0007]

【作用】本民味の推奨好止変キ選件基度は、上記のよう な状成にすることにより、 # 編件状態パッケージサイズ におけるデップの占有事を上げ、中華女皇皇の小型化に 対応できるものとしている。から、半年年以往の田井基 近への実象を技を延載し、 密集基底への実象を表 の向上 を可能としている。耳しくは、穴を総子鍼、外部総子部 とそ一件とした社会のリード賞を中華在菓子屋に始めた らった ビガレで発定し、 お記れ事業子部に 年田 からなる 外部電気部を延移させていることより、本屋の小型化モ 釜成している。そして、上記の思からなる外部を抵怠 を、卓閣首衆千百に韓平氏な第七二次元的に配表するこ とにより、中国世界書の多ピン化を可能としている。 4 思からなる外部を意思を中間ポールとし、二次元的には が存む価値を配対した場合にはBCAタイプとなり、 中 編件基屋の多ピン化にも対応できる。また、上尺におい -で、辛基在ま子の菓子が辛品はま子の菓子部の一分の辺 の時中心部界上にそって記憶され、リード部は複数の媒 子を乗びように対向し政犯一分の辺に沿い立けられてお り、紅草な茶道とし、主意性に渡した茶油としている。 本見男のリードフレームは、上夏のような異式に 下るこ とにより、上記製な料止型半年年金属の製造を可能とす ろものであるが、追すのリードフレームと異なのエッチ

とがてもら、二見縁の世界に止なる合作とはの数化方法 は、上花リードフレームを思いて、リートフレームの力 煮菜子飲料でない面(塩産)に見及りを煮け、竹ちはま 金製により、 万向する内部は子が向まも月尺するほど思 とは連絡的に対応する位置に立けられた地質材とそれち はき、リードフレームの口ちはかれた記分が半温体電子 の漢子郎にくるようにして、京記信号はそ介して、リー ドフレーム全はモビ出せ五子へな紅し、リードフレーム の外や紅毛含む不多の足分を打ちはさま型により切断性 みも多なキャスな火は上に石とした。 を見味の、キャルギ 屋の小型化が可能な、且つ、多ピン化が可能な無線対比 型半導化基度の作品を可能としている。

【実施例】本見朝の単設封止型キ幕体単位の実施例を以 下、回にそって京朝する。四丁(3)は本文定代制な計 止型半導体を置の断色数は区であり、BD((b)に登録 の森状窓である。図1中、100に無料打止業を3年以 産。 1 0 1 は中華 年票 7、1 0 2 はリード数、1 0 2 A 位内起双子起。102日11的复数子型、102C11技术 10 リード部、101Aに双子用(パッド群)、103はフ イヤ、104は絶縁技事材、105に密度化、106は 半田(ペースト)からなるのなな低である。 本実施判据 反対止型半端 体弦症は、ほどするリードフレームモ無い たもので、内部竣子部102人、力部減子部1028モ 一体としたし子型のリード部102そ多型年間保証子1 0.1 上に始後性智材1.0 くそ介して搭載し、息つ、外部 株子割1028先にキ田からなるの気を低を製取割10 5 より外部へ突出させて益けた。パッケージを住が背手 選体部長の面接に相当する形容的止裂を基体基準であ り。回知岳城へ万哉される章には、平田(ベースト)を 溶解、固化して、力型電子系 1 0 2 B が力変圧特と電気 的比级观古代名。本文范内制度对止是中国中国建设、国 1(b)に示すように、半箇件ま子101の度子盤(パ ッド部)101人は年曜年ま子の中心はしはそろれ向し て2度ブラ、中心無しに取って配置されており、リード 第102も、内部電子部102人が収配電子部(パッド 益)に移った位置に中華体象子(0)の節の方列に中心 电电放冷对向するように収収されている。 外部総子部) D 2 B は内部電子器 1 D 2 A から往戻リード部 1 D 2 C (8)ドフレームを収3 D D の無面に感光性のレジスト 3 D 1 を介して離れて位在し、ほぼ年本体条子の創業までに登 」た位置で半点作を子面に庭文する方向に、 伊坂リード 1020かし下に金がり、お鼠は子部1028はその先 ₹に収度し、 年級年息子の底に平行な匠方向で一よ元約 こ配列をしている。かち、中心はしも飲みて刃のか以前 ¹貫102日の配列を放けている。そして、る力単位子 『仁道経させ、年田(ペースト)からならの江北岳)0 ・毛朝難記105よりが目に点出させて及けている。 1、絶疑原理材104としては、100mmほのボリイ

と名) モ思いたが、他には、シリコンズ氏ボリイミ ドリ TA)で15(日本ペークライトは式金化)や単度化学 度复职用C52C0(巴州氨基氨基金拉口型) 不成的理 げられる。上花宮延興では、 年田ペーストからなるれる 2基であるが、 この部分は年色ボールに代えても良い。 点。本業見外を提到止気を退ける面は、上足のように、 パッケージ配在が林平省在営産の正体に発音する。 心社 的に小型化されたパッケージであるが、ロラカ向につい ても、私1、0mm乗以下にすることができ、R室も向 去すうことにより、内部ださと方式選子を一席としたは、10 Mに達成できるものである。まま場所においては力が変 甚至を、4点度多子の双子数(パッド素)におい2 我に 尼丹したが、年祖は京子の電子の存在モニ太元的に記録 し、天皇皇子配と外部位子説との一体となった見みを改 食。 本語は菓子の 電子を制に二次元的に配表して作 数寸 ることにより、本点は至子の、一層の多ピン化に十分ガ ETES.

> 【0009】 衣いで、本見気のリードフレームの玄奘病 モミげ、名にもとづいて広気する。 本実場外リードフレ 一ムは、上記実施民主は女名はに乗いられたものであ ろ、B2は支統例リードフレームの卒を包を示すもの で、即2中、200はリードフレーム、201は内部な 子鄉。202は外部建予部、203は征放リード部、2 0.4 は登耳撃、2.0.5 はかたまである。リードフレーム は428金(Ni42%のFe8金)からなり、リード フレームのなさは、内部位子部のある程序部でり、05 mm。外属粗子部のある麻肉部でり、 2 mmである。内 部総子部の対向する先端部属士を連続する運転部205 も河南(0、05mmឆ)に形成されており、ほど下ろ 本層体製造を作製する皿の打ちは含金型にて打ちはそし 38 長い終落となっている。本実院的では外部総子供202 は九状であるが、これに確定はされない。また、リード フレームタ科として428女も思いたがこれに厚定され ない。展示さまでも良い。

【0010】 太に、上記玄英典リードフレームの製造方 たも何も思いて原本に放明する。何々は本質異例リード フレームを包止した工程を示したものである。先ず、4 28金 (N | 42×のFe8金) からなる。 #20. 2 MMのリードフレーム 駅 賞 3 0 0 七郎 献し、 紙の尚茹モ 放発可を行いれて点片的難した(即え(a)) は、リー そ生率し、収益した。(即3(6))。

よいで、リードフレーム 無 は 3 0 0 の 無差から所定のパ ターン草を用いてレジストの爪をの気分のみに巨光を行 った後、家彦蛇壁し、レジストパターン301人モ北点 した。 (回3 (c))

典レジストとてしは東京応化を式会社集の平方数収収レ ジスト (PMERレジスト) も世界した。 次いで、 レジ ストパターン301人を刷解射性限として、57~c. ド系の熱可型性が考取HM 1 2 2 C (日立た成長区を 18 以3 0 0 の展展からスプレイエッチングして、わわちは

の本面区が思えに示されるリートフレーニモロロした (23 (c)). E2 (b) OB. E2 CA) - A2 C おける底面はである。このほ、レジストモお願したほ。 熱仲処理を及したは、 原定の世界(内部以子記分を含む 毎点)のみに全メッキを見を行った。(DI (e)) 南、上記リードフレームの旨造工技においては、図 2 (b) に示すように、 なた部とは皮部をお及するため、 **外配量子形成面側からのエッチング(紫台)をもく行** い、反対症例からは少なのにエッチング(点性)を行っ た。また、モメッキに代え、体メッキやパラジウムメット(8) 泉の年田が残られれば良い。 キでも良い。上記のリードフレームの口込万尺は、1ヶ の半点は名はそれ似てっために必要なリードフレーム! ケの製造方法であるが、誰不は主意性の色から、リード フレール事はモエッテング加工する様、節2にポナリー ドフレームを経営産品付けした状態で作製し、上記の工 姓を行う。この場合は、回2に示す外幹部205の一部 に選及する仲朴(日示していない) モリードフレームの が何に立けて何かけせせとする。

【0011】本に、上記のようにして作者されたリード フレームを思いた。本見朝の常在好止型半温は衣包の製 遠方はの実足例を殴にせって放射する。 怒4は、11実施 興報経済と型や選集体は高の製造工程を示すものである。 聞きに示すようにしてが何されたリードフレーム400 の外部電子部402形成器(豆器)と対向する裏部に、 ポリイミド系無限化型の絶益性な材(テープ)401 (日立化成就式会世間、HM122C) 七、400° C. 6 Kg/m' で1. 0 か充圧をして貼りつけた (図 4(a))。この状態の平蓋回を図らに示す。この能力 ち払き会型405A、405Bにて(図4(b))、対 向する内部減子部の先輩祭を認給する選及部(03と、) その部分の絶縁性をは(テープ)401とモガちはい た。 (四4 (c))

次いで、5万円ちは8万上び丘を京之型406人、40 6 日モ煮い、外の寒404そさむ不気の気分を切り起す (図4(d))と共用に、絶縁性を以404そ介して4 海洋黒子407上にリード#408の色圧をモ行った。 (個4 (e))

尚。この書4(6)に示す。 かえリードと基础してリー ドフレーム全体を文人でいるのだは204を含む不量の 部分を切り難しは、智力対比した比に行っても良い。こ (0 の場合には、送水の半層リードフレームを尽いたQFP パッケージョのようにダムバー (日示していない) モゴ けると思い。リードは410モ本品を菓子411へ存在 した後、ワイヤーもしゅにより、キェロステのステ(パ 7 F) 411ACU-FE4100MIEF410AC を電気的に延伸した。(包4(1))

その娘。原定の全型を無い、エポキシネの単な415で リード無410の外属は子属4108のみを点出させ て、全体を対止した。(歩く(g))

ここでは、異点の主製(日本していない)も思いたが、

死之の面(外部電子部)も見しがなり止てされば、デエ しもとなける甚としない。ないで、身色をあている方式 は子郎4108上に年在ペーストをスクリーンの助によ り無ホレ、平田(ペースト)からならの武司権も16モ 作品し、本見間の展別が入止型単連作品度を作品した。 (E) 4 (h))

母。 丰田からならの都支援416の作者に、スクリーン 印刷に確定されるものではなく、リフローまたはポッテ イングあでも、 回路基底と半温は基金 との形式に七葉な

(0012)

【発明の処長】本発明は、上足のように、 夏々も前頭針 止型年退井鉄道の高泉飛化、高田純化が立められる状況 のもと、早時体気をパッケージサイズにおけるテップの 古有型を上げ、単級体制度の小型化に対応をせ、国际基 低への実在節度を発展できる。如ち、回覧高低への実装 を広を向上させることができる温存品度の技術を可能と したものであり、RMに従来のTSOP等の小型パッケ ージに個耳であった更なる多ピン化も実現した製作財止 型準制体以配の提供も可能としたものである。

【四面の京年な故事】

【節1】表現例の複数別入型単級作品値の数減が影響及 び夏蘇県以勤

【聲 2】 大名何のリードフレームの平断曲

【図3】 共気外のリードフレームの製造工芸部

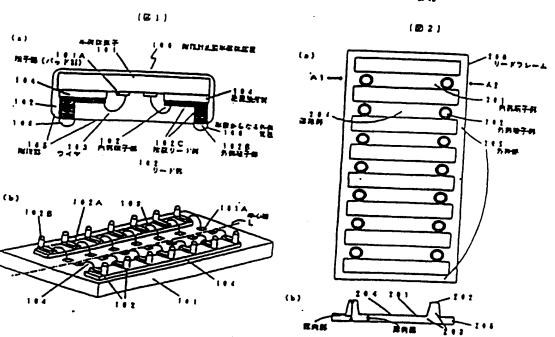
【如4】実施列の部群対止型中級体制度の製造工能図

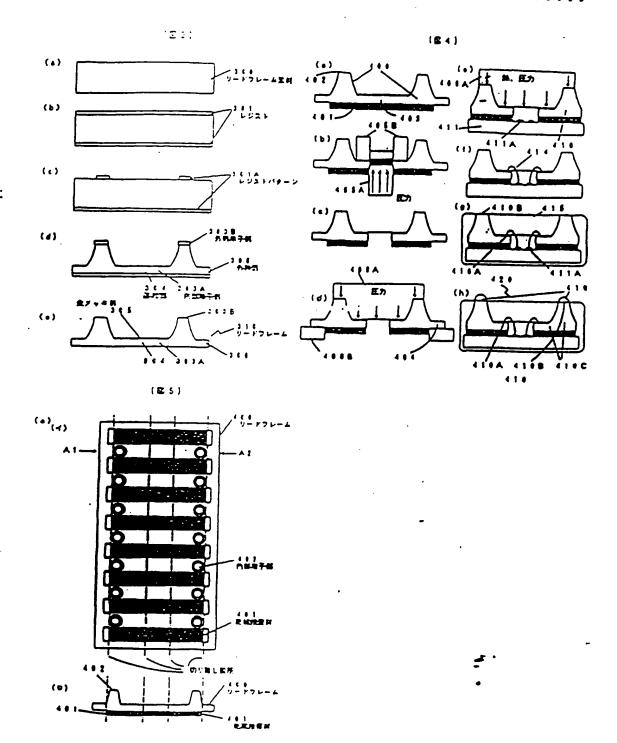
【図5】 大荒杭のリードフレームに花品は単彩を辿りつ けた状型の平面図

【肝号の改執】

*** * * *****	•
30 100	医四对止型牛蛋体整理
1 0 1	华福作业子
101A	総子部(パッド部)
102	リード部
1 0 2 A	* M K K 7 K
1 0 2 B	外部电子部
1 0 2 C	かめりード盤
103	ワイヤ
104	地路往春州
105	. MAR
10 1 0 6	半田(ベースト) からなるガギ
R M	
200	リードフレーム
2 0 1	内侧相干部
202	力 節電子器
2 0 3	ひ状リード袋
2 0 ∢	205
2 U.2	n ខ ន
300	リードフレームまれ
3 0 1	レジスト

J 0 3 A	你们前子吧		10
3038	5. 新菜子 8.	405A. 405E	17 5 B E E 2
304	正在病	406A. 406B	5. 6. 11 2 11 2 12 2 11 11 11 11 11 11 11 11
3 0 5	まメッキ 蛇	4 1 0	ソードル
306	7: PO 81	410A	内似是子名
4 0 0	リードフレーム	4 1 0 B	外别双千式
4 0 1	社経性名材(テープ)	4 J O C	接続リード部
4 0 2	外侧部子部	411	华福作业子
4 0 3	医耳状	4114	クイヤー
		4 1 5	ex fg





Japanese Patent Laid-Open Publication No. Heisei 8-125066

[TITLE OF THE INVENTION]

Resin Encapsulated Semiconductor Device, Lead Frame

5 Used Therein, and Fabrication Method for the Resin
Encapsulated Semiconductor Device

[CLAIMS]

15

20

- A resin encapsulated semiconductor device
 comprising:
 - a semiconductor chip;
 - a plurality of leads fixedly attached to a terminalend surface of the semiconductor chip by an insulating
 adhesive interposed between the semiconductor chip and the
 leads, each of the leads including integral portions, that
 is, an inner terminal portion adapted to be electrically
 connected to an associated one of terminals of the
 semiconductor chip, an outer terminal portion extending
 outwardly in a direction orthogonal to the terminal-end
 surface of the semiconductor chip and adapted to be
 connected to an external circuit, and a connecting lead
 portion adapted to connect the inner and outer terminal
 portions to each other; and
- outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of

solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate.

- 2. The resin encapsulated semiconductor device according to claim 1, wherein the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip, respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets.
- 3. A lead frame comprising:

- a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other;
- each of the outer terminal portions of the leads
 being protruded in a direction orthogonal to a lead frame

surface via an associated one of the connecting lead portions;

the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively;

5

10

a the same and

connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs; and

an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame.

15
4. A method for fabricating a semiconductor device including a semiconductor chip, a plurality of leads fixedly attached to a terminal-end surface of the semiconductor chip by an insulating adhesive-interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit,

and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate, comprising the steps of:

5

10

15

20

25

the state was as as as well as a

(A) fabricating a lead frame including a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other, each of the outer terminal portions of the leads being protruded in a direction orthogonal to a lead frame surface via an associated one of the connecting lead portions, - the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively, connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs, and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form

an integral structure together, thereby protecting the entire portion of the lead frame;

- (B) applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the schiconductor whip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween;
- (C) cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the cut-off portions;
- (D) wire-bonding the terminals of the semiconductor chip with tips of the inner terminal portions mounted on the semiconductor chip, and encapsulating the semiconductor chip and the lead frame by a resin while allowing a surface of the lead frame toward the outer terminal portions to be externally exposed; and
- (E) forming outer electrodes made of solder on the exposed lead frame surface toward the outer terminal portions.

5

10

15

[DETAILED DESCRIPTION OF THE INVENTION] [FIELD OF THE INVENTION]

The present invention relates to a resin encapsulated semiconductor device (plastic package) in which a semiconductor chip is packaged, and more particularly to a semiconductor device configured to achieve an improvement in mounting density or to have a multi-pinned structure and a method for manufacturing such a semiconductor device.

10 [DESCRIPTION OF THE PRICE ART]

5

15

20

25

Recently, semiconductor devices have been developed to have a higher integration degree and a higher performance by virtue of developments of techniques associated with an increase in integration degree and miniaturization and in pace with the tendency of electronic appliances to have a high performance and a light, thin, simple, and miniature structure. A representative example of such semiconductor devices is an ASIC of LSI. For instance, developments of resin encapsulated semiconductor device plastic packages have been advanced from surfacemounting packages such as SOJs (Small Outlined-Leaded Packages) or QFPs (Quad Flat Packages) to packages having a miniature structure mainly achieved in accordance with a thinness obtained by virtue of developments of TSOPs (Tin Small Outline Packages) or to LOC (Lead On Chip) structures

adapted to achieve an improvement in the chip packaging efficiency by virtue of developments of an internal threedimensional package structure. In addition to an increase in integration degree and improvement in performance, there has also been growing demand for an increase in the number pins, thickness, and miniaturization of encapsulated semiconductor packages. In above mentioned conventional packages, however, there is a limitation in miniaturization because those packages have a structure in which leads are arranged around a chip. Similarly, leads are arranged around a chip in the case of miniature packages such as TSOPs. In such packages, there is also a limitation in increasing the number of pins due to the pin pitch used.

15

20

25

10

5

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

As mentioned above, there has been demand for an increase in integration degree and improvement in performance of resin encapsulated semiconductor devices. Also, there has also been growing demand for an increase in the number of pins, thickness, and miniaturization of resin encapsulated semiconductor packages. In such situations, the present invention makes it possible to increase the occupancy degree of a chip in a semiconductor package with a limited size while reducing the mounting area of the

semiconductor package on a circuit board to achieve a miniaturization of the resulting semiconductor device. That is, the present invention is adapted to provide a resin encapsulated semiconductor device capable of achieving an improvement in the mounting density thereof on a circuit board. Also, the present invention is adapted to achieve an increase in the number of pins which is difficult in miniature packages such as conventional TSOPs.

10 [MEANS FOR SOLVING THE SUBJECT HATTERS]

5

15

20

25

The resin encapsulated semiconductor device of the present invention is characterized in that it comprises: a semiconductor chip; a plurality of leads fixedly attached to a terminal-end surface of the semiconductor chip by an insulating adhesive interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the

leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate. The above semiconductor device can be embodied into a BGA (Ball Grid Array) type resin encapsulated semiconductor device by arranging a plurality of leads each having an inner terminal portion and an outer terminal portion integral with each other in a two-dimensional fashion on the terminal-end surface of the semiconductor chip and forming the outer electrodes in the form of solder balls.

in that the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets. The lead frame of the present invention is characterized in that it comprises: a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be

connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; each of the outer terminal portions of the leads being protruded in a direction orthogonal to a lead frame surface via an associated one of the connecting lead portions; the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively; connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs; and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame. The above lead frame can be embodied into a lead frame for a BGA (Ball Grid Array) type resin encapsulated semiconductor device by arranging a plurality of leads each having an inner terminal portion and an outer terminal portion integral with each other in a two-dimensional fashion on the terminal-end surface of the semiconductor chip and forming the outer electrodes in the form of solder balls.

5

10

15

20

25

The present invention is also characterized by a method for fabricating a semiconductor device including a semiconductor chip, a plurality of leads fixedly attached

5

10

15

20

25

to a terminal-end surface of the semiconductor chip by an insulating adhesive interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the leads being externally exposed from a resin outer encapsulate, comprising the steps of: (A) fabricating a lead frame including a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other, each of the outer terminal portions of the leads being protruded in a direction orthogonal to a

lead frame surface via an associated one of the connecting lead portions, the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively, connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs, and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame; (B) applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween; (C) cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the cut-off portions; (D) wire-bonding the terminals of the semiconductor chip with tips of the inner terminal portions mounted on the semiconductor chip, and

5

30

15

20

25

The Contraction .

encapsulating the semiconductor chip and the lead frame by a resin while allowing a surface of the lead frame toward the outer terminal portions to be externally exposed; and (E) forming outer electrodes made of solder on the exposed lead frame surface toward the outer terminal portions.

[FUNCTIONS]

5

10

15

20

25

.

With the above mentioned configuration, the resin encapsulated semiconductor device of the present invention can increase the occupancy degree of the chip while achieving a miniaturization thereof. That is, the resin encapsulated semiconductor device is capable of reducing the mounting area thereof on a circuit board and achieving an improvement in the mounting density thereof on the circuit board. In particular, the present invention achieves a miniaturization of the semiconductor device by fixedly attaching a plurality of leads each including an inner terminal portion and an outer terminal portion integral with each other to a surface of a semiconductor chip by an insulating adhesive layer interposed between the semiconductor chip and the leads, and connecting outer electrodes made of solder to the outer terminal portions, respectively. Also, the present invention achieves an increase in the number of pins in the semiconductor device by arranging the outer electrodes made of solder in a two-

dimensional fashion on a plane parallel to the surface of the semiconductor chip. Where the outer electrodes made of solder are formed in the form of solder balls and arranged in a two-dimensional fashion, a BGA type semiconductor device capable of achieving an increase in the number of pins can be obtained. In the above semiconductor device. the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip, respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing Thus, the semiconductor device has a simple structure suitable in regard to productivity. frame of the present invention makes it possible to fabricate the above mentioned resin encapsulated semiconductor device by virtue of there above mentioned configuration thereof. However, this lead frame can be fabricated using a half etching method during an etching process as used for conventional lead frames. The method for fabricating a resin encapsulated semiconductor device in accordance with the present invention involves the steps of applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out

5

. 20

15

the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween, and cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the Thus, a plurality of leads each cut-off portions. including an inner terminal portion and an outer terminal portion integral with each other are mounted on a semiconductor chip. Accordingly, the present invention makes it possible to achieve a miniaturization of In accordance with the present semiconductor devices. invention, it is also possible to fabricate a resin encapsulated semiconductor device having an -increased number of pins.

20

25

5

10

15

[EMBODIMENTS]

Hereinafter, embodiments of the present invention associated with resin encapsulated semiconductor devices will be described in conjunction with the annexed drawings.

Fig. 1A is a cross-sectional view schematically

illustrating a resin encapsulated semiconductor device according to an embodiment of the present invention. Fig. 1B is a perspective view illustrating an essential part of the resin encapsulated semiconductor device. Figs. 1A and 5 reference numeral 100 denotes the resin encapsulated semiconductor device, 101 a semiconductor chip, 102 leads, 102A inner terminal portions, 102B outer terminal portions, 102C connecting lead portions, 101A contacts (pads), 103 wires, 104 an insulating adhesive, 105 a resin emcapsulate, 106 outer electrodes made of solder respectively. The resin encapsulated semiconductor device according to this embodiment is fabricated using a lead frame which will be described hereinafter. In this resin encapsulated semiconductor device, a plurality of L-shaped leads 102, each of which has an inner terminal portion 102A and an outer terminal portion 102 integral with each other, are mounted on a semiconductor chip 101 by means of an insulating adhesive 104. An outer electrode 106, which is made of solder, is attached to each outer terminal portion 102B. The outer electrode 106 is outwardly protruded from a resin encapsulate 105. The resin encapsulated semiconductor device configured as mentioned above has a package area substantially equal to the entire area thereof. When this semiconductor device is mounted on a circuit board, the

10

15

20

solder is melted and then solidified to allow the outer terminal portions 102B to be electrically connected to an external circuit. In the resin encapsulated semiconductor device according to the illustrated embodiment, contacts (pads) 101A provided at the semiconductor chip 101 are arranged in pairs along a center line L of semiconductor chip 101 at opposite sides of the center line L in such a fashion that contacts included in each contact pair face each other. The outer terminal portion 102B of each lead is spaced apart from the inner terminal portion 102A of the lead. Between the inner and outer terminal portions 102A and 102B; a connecting lead portion 102C is interposed. The connecting lead portion 102C of each lead is bent in a direction orthogonal to the major surface of the semiconductor chip at a position near an associated one of the side surfaces of the semiconductor chip 101, so that it has an L shape. In each lead, the outer terminal portion 102B is arranged at an end of the connecting lead The outer terminal portions 102B of the portion 102C. leads are arranged in a one-dimensional fashion on a plane parallel to the major surface of the semiconductor chip That is, the outer terminal portions 102B are 101. arranged in two lines at opposite sides of the center line As mentioned above, one outer electrode 106 made of solder is connected to the outer terminal portion 102B of

10

15

20

each lead and outwardly exposed from the resin encapsulate 105.

For the insulating adhesive 104, a polyimide-based thermoplastic adhesive having a thickness of 100 µm (HM122C manufactured by Hitachi Chemical Co., Ltd.) is preferably used. Alternatively, a silicon denaturalized polyimide adhesive (ITA1715 manufactured by Sumitomo Bakelite Co., Ltd.) or a thermosetting adhesive (HG5200 manufactured by Tomoekawa Papermaking Co., Ltd.) may be used. Although ou er electrodes made of solder paste are used in the illustrated embodiment, solder balls may be used.

5

10

15

20

25

above. As mentioned the resin encapsulated semiconductor device according the illustrated to embodiment has a package area substantially equal to the entire area thereof. That is, the illustrated embodiment of the present invention provides a package having a compact structure in regard to area. In accordance with the present invention, a thinned package structure can also be provided in that it is also possible to reduce the package thickness to about 1.0 mm or less. Although the outer electrodes have been described as being arranged in two lines along the contacts (pads) of the semiconductor chip, they may be arranged in a two-dimensional fashion. This is achieved by arranging contacts of the semiconductor chip in a two-dimensional fashion. On the surface of the semiconductor chip arranged with those contacts, a plurality of terminal sets each having an inner terminal and outer terminal integral with each other are arranged in a two-dimensional fashion. In this case, it is possible to fabricate a semiconductor device using a semiconductor chip with an increased number of pins.

5

10

15

20

25

An embodiment of the present invention associated with a lead frame will now be described. The lead frame according to this embodiment is adapted to be used in the above mentioned semiconductor device. Fig. 2 is a plan view of the lead frame according to this embodiment. Fig. 2, the reference numeral 200 denotes a lead frame, 201 inner terminal portions, 202 outer terminal portions, 203 connecting lead portions, 204 a connecting portion, and 205 an outer frame portion, respectively. The lead frame is made of 42 ALLOY (namely, an Fe alloy containing 42% Ni). The lead frame has a thickness of 0.05 mm at its thinner portion, that is, the inner terminal portions, and a thickness of 0.2 mm at its thicker portion, that is, the outer terminal portions. The connecting portion, which connects facing tips of the inner terminal portions to each other, has a thickness of 0.05 mm corresponding to that of the thinner portion. This connecting portion has a structure capable of allowing an easy punching thereof in the fabrication of the semiconductor device, as described

hereinafter. Although the outer terminal portions 202 have a ball shape in the illustrated embodiment, they are not limited to this shape. Also, although the lead frame has been described as being made of the 42 ALLOY, it is not limited to this material. For the lead frame, a copperbased alloy may be used.

5

10

15

20

25

Now, fabrication of the lead frame according to the illustrated embodiment will be described in brief. Fig. 4 illustrates a process for fabricating the lead frame according to the illustrated embodiment. First, a lead frame blank 300 having a thickness of 0.2 mm was prepared which is made of a 42 ALLOY (an Fe alloy containing 42% Ni). The prepared lead frame blank 300 was then subjected to a cleaning process, thereby removing grease from the surfaces thereof (Fig. 3a). Subsequently, photoresist films 301 were coated over both surfaces of the lead frame blank 300, respectively. The coated photoresist films 301 were then dried (Fig. 3b).

Using desired pattern plates, the photoresist films 301 on both surfaces of the lead frame blank 300 were exposed to light at their desired portions. A developing process was then conducted to the light-exposed photoresist films 301, thereby forming photoresist patterns 301A.

For the photoreist films, a negative liquid-phase resist (PMER resist) manufactured by Tokyo Ohka Co., Ltd.

was used. Using the resist patterns 301A as anti-etch films, the lead frame blank 300 was subjected to a spray etching process at both surfaces thereof. The spray etching process was conducted using a ferric chloride solution of 48 BAUME at 57 °C. Thus, a lead frame having a structure of Fig. 2a was obtained (Fig. 3d). Fig. 2a is a plan view of the lead frame. Fig. 2b is a cross-sectional view taken along the line A1 - A2 of Fig. 2a. Thereafter, the remaining photoresist thin films were peeled off. The resulting structure was then subjected to a cleaning process. A gold plating process was subsequently conducted for desired portions of the lead frame, that is, regions including inner terminal portions (Fig. 3e).

5

10

15

20

25

e distributed against the second of the second of

In the fabrication process of the lead frame, the etching process was conducted with a large etch depth at one major surface of the lead frame blank where outer terminal portions are to be formed, and with a small etch depth at the other major surface of the lead frame. place of the gold plating, silver or palladium plating may be utilized. The above mentioned lead frame fabrication process is adapted to manufacture a single lead frame required for the manufacture of a single semiconductor In terms of productivity, however, the etching process is conducted for lead frame units each corresponding to the single lead frame shown in Fig. 2. To

this end, a frame member (not shown) is provided at a desired portion of the peripheral edge of the lead frame so as to connect a desired part of the outer frame portion 205 shown in Fig. 2 to a corresponding one of an adjacent lead frame.

5

10

15

20

Using the lead frame fabricated as mentioned above, the resin encapsulated semiconductor device according to the present invention was fabricated. Now, a method for fabricating the resin encapsulated semiconductor device in accordance with an embodiment of the present invention will be described. Fig. 4 illustrates the method for fabricating the resin encapsulated semiconductor device in accordance with the embodiment of the present invention. A polyimide-based thermosetting insulating adhesive (tape) 401 (HM122C manufactured by Hitachi Chemical Co., Ltd.) was applied to one surface, formed with the outer terminal portions 402, of the lead frame 400 fabricated as in Fig. 3 and the outer surface of the lead frame 400 using a hot pressing process conducted at 400 °C and 6 Kg/m² for 1.0 second Fig. 4a). The resulting structure is shown in Fig. 5 which is a plan view. Thereafter, the connecting portions 403 connecting facing tips of the inner terminal portions were punched using punching dies 405A and 405B (Fig. 4b). Also, portions of the insulating adhesive

(tape) corresponding to those connecting portions 403 were punched (Fig. 4c)

Subsequently, unnecessary portions of the lead frame including the outer frame 404 were cut off using outer frame punching and pressing dies 406A and 406B (Fig. 4d). The lead frame was then bonded to a semiconductor chip 407 at its leads 410 under pressure while applying heat (Fig. 4e).

The process for cutting off the unnecessary portion of the lead frame including the outer frame 404 supporting the entire portion of the lead frame along with the connecting lead portion, as shown in Fig. 4d, may be carried out after an resin encapsulating process. In this case, dam bars (not shown) are preferably provided, as in QFP packages typically using a lead frame having a single layer structure. After the mounting of the leads 410 on the semiconductor chip 411, the inner terminal portion 410 of each lead 410 was electrically connected to an associated one of terminals (pads) 411A of the semiconductor chip 411 (Fig. 4f).

10

15

20

Subsequently, an epoxy-based resin 415 was molded to encapsulate the resulting structure while exposing the outer terminal portions 410B of the leads 410 using a desired mold (Fig. 4g).

Although a specific mold (not shown) was used for the above process in the illustrated case, use of such a die may be unnecessary in so far as the resin encapsulating process can be conducted under the condition in which desired portions (outer terminal portions) of the lead frame are left. Thereafter, a solder paste was coated on the exposed outer terminal portions 410B in accordance with a screen printing process, thereby forming outer electrodes 416 made of solder (paste). Thus, the fabrication of the resin encapsulated semiconductor device according to the present invention was achieved (Fig. 4h).

Although the formation of the outer electrodes 416 made of solder has been described as being achieved using a screen printing process, it may be achieved using a reflow or bonding process in so far as an amount of solder required for a connection of the semiconductor device to a circuit board is obtained.

[EFFECTS OF THE INVENTION]

5

10

15

As apparent from the above description, the present invention makes it possible to increase the occupancy degree of a semiconductor chip in a semiconductor package in situations requiring new resin encapsulated semiconductor devices having a highly integrated structure while exhibiting a high performance. The present invention

also makes it possible to reduce the area of the semiconductor device on a circuit board in order to cope with a compactness of the semiconductor device. That is, the present invention can provide a semiconductor device capable of achieving an improvement in the mounting density on a circuit board. At the same time, the present invention can provide a resin encapsulated semiconductor device having a new multipinned structure which could not be realized in compact packages such as conventional TSOPs.

5

to the second second